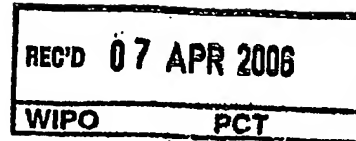


特許協力条約

PCT

国際予備審査報告

(法第 12 条、法施行規則第 56 条)
[PCT36 条及び PCT 規則 70]



出願人又は代理人 の書類記号 310300807W01	今後の手続きについては、国際予備審査報告の送付通知(様式 PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/JPO3/14901	国際出願日 (日.月.年) 21. 11. 2003	優先日 (日.月.年)
国際特許分類 (IPC) Int.Cl. 611C15/04 (2006. 01)		
出願人 (氏名又は名称) 株式会社日立製作所		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第 57 条 (PCT36 条) の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 5 ページからなる。 <input checked="" type="checkbox"/> この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。 (PCT 規則 70.16 及び PCT 実施細則第 607 号参照) この附属書類は、全部で 3 ページである。
3. この国際予備審査報告は、次の内容を含む。 I <input checked="" type="checkbox"/> 国際予備審査報告の基礎 II <input type="checkbox"/> 優先権 III <input type="checkbox"/> 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成 IV <input type="checkbox"/> 発明の単一性の欠如 V <input checked="" type="checkbox"/> PCT35 条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明 VI <input type="checkbox"/> ある種の引用文献 VII <input type="checkbox"/> 国際出願の不備 VIII <input checked="" type="checkbox"/> 国際出願に対する意見

国際予備審査の請求書を受理した日 21. 11. 2003	国際予備審査報告を作成した日 17. 03. 2006	
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官 (権限のある職員) 須原 宏光 電話番号 03-3581-1101 内線 3586	5N 3578

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

- ☒ 明細書 第 1-34 ページ、出願時に提出されたもの
 明細書 第 _____ ページ、国際予備審査の請求書と共に提出されたもの
 明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの
- ☒ 請求の範囲 第 2-7, 10 項、出願時に提出されたもの
 請求の範囲 第 _____ 項、PCT19条の規定に基づき補正されたもの
 請求の範囲 第 _____ 項、国際予備審査の請求書と共に提出されたもの
 請求の範囲 第 1, 8 項、05.11.2004 付の書簡と共に提出されたもの
- ☒ 図面 第 1-26 ページ/図、出願時に提出されたもの
 図面 第 _____ ページ/図、国際予備審査の請求書と共に提出されたもの
 図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの
- ☐ 明細書の配列表の部分 第 _____ ページ、出願時に提出されたもの
 明細書の配列表の部分 第 _____ ページ、国際予備審査の請求書と共に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出された磁気ディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された磁気ディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☒ 請求の範囲 第 9 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)	請求の範囲 1-8, 10	有
	請求の範囲	無
進歩性(IS)	請求の範囲 1-5, 7	有
	請求の範囲 6, 8, 10	無
産業上の利用可能性(IA)	請求の範囲 1-8, 10	有
	請求の範囲	無

2. 文献及び説明(PCT規則70.7)

- 文献1: JP 2002-541610 A (モサイド・テクノロジーズ・インコーポレイテッド), 2002. 12. 03, 段落【0022】～【0028】, 【0037】、【0038】、第2図、第4図
 & KR 2002/012168 A
 & US 2002/0044475 A1
 & WO 2000/060604 A1
- 文献2: WO 2003/065377 A1 (株式会社日立製作所), 2003. 08. 07, 明細書第10頁第21行乃至第11頁第12行, 第7図, 第8図
 & US 2004/0184331 A1
- 文献3: JP 2003/100086 A (富士通株式会社), 2003. 04. 04, 段落【0016】～【0021】, 第5図, 第6図
 & US 2003/0058672 A1
 & EP 1296334 A2

請求の範囲1～5

マッチ線、プリチャージ回路、記憶回路、比較回路を有する半導体集積回路装置において、プリチャージ回路は、マッチ線対のうち第一のマッチ線を第1の電圧、第二のマッチ線を第1の電圧よりも低い第2の電圧に駆動し、第二のマッチ線を、比較動作がなされるときにフローティング状態とすることは国際調査報告で引用されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

請求の範囲6

文献2に記載された「従来のDRAMで広く用いられている自己整合プロセス」の技術を、文献1のダイナミック連想記憶装置に適用することは、当業者であれば容易になり得ることである。

請求の範囲7

複数のサーチ線対と複数の第一のマッチ線対との間に寄生する第一および第二の結合容量が、複数のサーチ線対と複数の第二のマッチ線対との間に発生する第三および第四の結合容量よりも大きいことは国際調査報告で引用されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

Ⅶ. 国際出願に対する意見

請求の範囲、明細書及び図面の明瞭性又は請求の範囲の明細書による十分な裏付についての意見を次に示す。

1. 請求の範囲 2 に記載された「第一のマッチ線の間第一の電流経路」とは、「第一のマッチ線」とどここの間の「第一の電流経路」のことなのか、具体的な構成が不明確である。「第二のマッチ線の間第二の電流経路」についても、同様である。

2. 請求の範囲 6 に記載された「前記第一および第三の MOS トランジスタのソースあるいはドレインのいずれか一方の電極は、自己整合プロセスで形成されたコンタクトによって前記複数の第一のマッチ線（第 2 の電圧よりも低い第 1 の電圧に駆動される）にそれぞれ接続され」た構成、および、「前記第二および第四の MOS トランジスタのソースあるいはドレインのいずれか一方の電極は、自己整合プロセスで形成されたコンタクトによって前記複数の第二のマッチ線（第 1 の電圧よりも高い第 2 の電圧に駆動される）にそれぞれ接続され」た構成は、発明の詳細な説明及び図面を参酌しても記載されていない。

3. 請求の範囲 7 に係る発明は、発明の詳細な説明及び図面を参酌しても記載されていない。

4. 請求の範囲 10 は、補正により削除された請求の範囲 9 を引用しているので、不明瞭である。

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

第 V 欄の続き

請求の範囲 8

文献1には、VDDまたはVDよりわずかに低いレベルに事前充電されるマッチ・ラインMLと、VDDとVSSの間にある電圧レベルを有する低電圧端子VGに結合されたディスチャージラインDLを備えたダイナミック連想記憶装置が記載され、文献3には、“H”にプリチャージされたML2（マッチライン）をプリチャージ解除して“H”のフローティング状態とし、その後一致／不一致の検出を行うことが記載されているので、文献1のマッチラインMLを、比較時にフローティング状態にすることは、文献3により、当業者が容易になし得るものである。

請求の範囲 10

文献1に記載された第1記憶装置C1、第2記憶装置C2、第1アクセス装置T1、第2アクセス装置T2からなる構成は、請求の範囲10に記載された「記憶回路」に相当する。

請求の範囲

1. (補正後) 複数のマッチ線対と、前記複数のマッチ線対に交差する複数のサーチ線対と、前記複数のマッチ線対と前記複数のサーチ線対との交点に配置された複数のメモリセルとを有する半導体集積回路装置であって、
- 5 前記複数のマッチ線対は、プリチャージ回路を有し、
- 前記複数のプリチャージ回路は、前記マッチ線対のうち第一のマッチ線を第1の電圧、第二のマッチ線を第1の電圧よりも低い第2の電圧にそれぞれ駆動し、
- 前記複数のメモリセルは、記憶回路と比較回路とを有し、
- 10 前記比較回路は、第一、および第二のMOSトランジスタを有し、
- 前記第一、および第二のMOSトランジスタのゲート電極は、前記複数のサーチ線にそれぞれ接続され、
- 前記第一、および第二のMOSトランジスタのソースあるいはドレインのいずれか一方の電極が前記複数の第一のマッチ線にそれぞれ接続され、
- 15 前記第二のマッチ線は、前記比較回路において比較動作がなされるときに、フローティング状態とされることを特徴とする半導体集積回路装置。
2. 請求項1記載の半導体集積回路装置において、
- 前記第一のMOSトランジスタのソースドレインは前記第一のマッチ線の間
- の第一の電流経路に含まれ、
- 20 前記第二のMOSトランジスタのソースドレインは前記第二のマッチ線の間
- の第二の電流経路に含まれ、
- 前記比較回路は、さらに前記記憶回路に保持された情報と前記複数のサーチ線を介して入力された情報とを比較した結果に応じた信号電圧を前記複数のマッチ線対に発生することを特徴とする半導体集積回路装置。
- 25 3. 請求項2記載の半導体集積回路装置において、
- 前記複数のサーチ線対と前記複数の第一のマッチ線との間に寄生する第一、および第二の結合容量は、前記複数のサーチ線対と前記複数の第二のマッチ線との間に寄生する第三および第四の結合容量よりも大きいことを特徴とする半導体集積回路装置。

PCT/JP 03/14901

日本国特許庁 05.11.2004

4. 請求項 3 記載の半導体集積回路装置において、

前記複数のサーチ線対と前記複数の第一のマッチ線との間に寄生する第一および第二の結合容量は、主に前記コンタクトによってそれぞれ発生し、

前記複数のサーチ線対と前記複数の第二のマッチ線との間に寄生する第三および第四の結合容量は、主に前記複数のサーチ線対を形成する第一の金属層と前記複数の第二のマッチ線を形成する第二の金属層との間に形成される層間絶縁膜によってそれぞれ発生し、

前記第一および第二の結合容量は、前記第三および第四の結合容量よりも大きいことを特徴とする半導体集積回路装置。

8. (補正後) 複数の第一のマッチ線と、前記複数の第一のマッチ線に交差する複数のサーチ線対と、前記複数のサーチ線対に平行な複数のビット線対と、前記複数の第一のマッチ線と前記複数のサーチ線対との交点に配置された複数のメモリセルとを有する半導体集積回路装置であって、

前記複数のメモリセルは、記憶回路と比較回路とを有し、

前記記憶回路は、前記複数のビット線対に接続され、

15 前記比較回路は、前記複数のサーチ線対と前記複数の第一のマッチ線に接続され、

前記複数のビット線対の電圧振幅は、前記複数のサーチ線対よりも大きく、

前記複数の第一のマッチ線に平行な複数の第二のマッチ線を有し、

前記複数の第一のマッチ線と前記複数の第二のマッチ線が対をなした複数のマッチ線対は、プリチャージ回路を有し、前記複数のプリチャージ回路は、前記マッチ線対のうち第一のマッチ線を第1の電圧よりも低い第2の電圧にそれぞれ駆動し、前記比較回路は、前記複数のマッチ線対の間に挿入され、前記記憶回路に保持された情報と前記複数のサーチ線を介して入力された情報とを比較し、

前記第二のマッチ線は、前記比較回路の比較動作時に、フローティング状態とされることを特徴とする半導体集積回路装置。

25 9. (削除)

10. 請求項9記載の半導体集積回路装置において、

前記記憶回路は、二つのトランジスタと二つのキャパシタとを有することを特徴